

基于 SoC 和软硬件协同处理的可重构 JPEG2000 实现

王怡捷, 李会方, 罗 鹏, 吉作约子

(西北工业大学 电子信息学院, 陕西 西安 710129)

摘 要: 提出一种基于 SOC、具有可重构功能的 JPEG2000 软硬件协同实现方案. 重点分析并实现了一种提升 9/7、5/3 算法的统一流水线结构. 对于标准算法中的彩色变换、内容模型生成模块、Tier1 编码和 MQ 编码器采用硬件加速处理, 并对图像预处理单元、Tier2 编码和系统控制功能则采用软件在 Nios II 嵌入式系统上实现. 最后采用以 Altera 公司的 EP3C25F672 作为核心芯片的开发系统, 对该算法进行了软、硬件仿真, 结果证明采用软、硬件协同处理, 能有效地克服 JPEG2000 在实际应用中存在的速度和灵活性之间的瓶颈, 具有计算效率高和芯片利用率高等一系列优点.

关键词: JPEG2000; 图像压缩; 现场可编程门阵列; 提升小波变换

中图分类号: TP391

文献标识码: A

文章编号: 1000—7180(2011)06—0074—05

Reconfigurable Implementation of JPEG2000 Based on SOC and Software/Hardware Cooperation

WANG Yi-jie, LI Hui-fang, LUO Peng, JIZUO Yue-zi

(School of Electronics and Information, Northwestern Polytechnical University, Xi'an 710129, China)

Abstract: In the paper the reconfigurable solution of implementation of JPEG2000 algorithm based on SOC and software/hardware Cooperation is presented, and combined pipeline architecture for the 5—3 and 9—7 lifting wavelet transforms is designed. The module such as, color space transform, context formation, tier1 encoder and arithmetic encoder have been realized with our proposed architectures on FPGA to improve speed. The functions of image pre-processing, tier2 encoder and system control etc. have been finished with Nios II embeded processor software. Finally, The proposed scheme is verified with FPGA software/hardware platform based on EP3C25F672 chip of Altera Company. The experimental results of simulation, with the cooperation of software and hardware show that the proposed method can effectually solve the problem about the bottleneck between coding speed and flexibility, and take the advantages both improving compression efficiency and saving chip area.

Key words: JPEG2000; Image compression; FPGA; Lifting wavelet transform

1 引言

随着多媒体应用的不断发展, 作为多媒体信息技术的一个重要组成部分, 静止图像占用了越来越多的资源. 特别是在 Internet、数字照片、遥感、移动应用和电子商务等许多领域. 从而导致静止图像的压缩成为了一个研究的热点. JPEG2000 作为新一代静止图像压缩标准, 与 JPEG 相比, 可以在高压缩比下提供更好的压缩性能和功能, 并在计算量和储

存量等方面更具有优势. JPEG2000 最大的不同在于采用了基于小波变换的零树编码方式. 而 FPGA 为这一应用提供了有效的平台.

目前已有多种基于 FPGA 的 JPEG2000 硬件实现方案^[1-2], 多媒体信息对处理、传送的高性能要求使得专用 ASIC 和 ASIP(专用指令处理器)成为最佳选择之一. 但专用硬件的速度使其灵活性受到了很大限制. 采用纯软件和嵌入式处理器实现虽然非常灵活, 但速度比较慢. 为此, 本文基于 FPGA, 提

出一种具有可重构功能的 JPEG2000 软、硬件协同实现方案,其最大优点是同时发挥了硬件的高速特性和软件的灵活性。

2 可配置提升小波变换硬件设计

JPEG2000 标准的主要改进之一就是采用了小波变换,并推荐选用两种小波:Le Gall(5,3)和 Daubechies(9,7),前者用于无损图像压缩,后者用于有损压缩。提高小波变换的速度也是快速实现 JPEG2000 的关键。Sweldens 提出的提升格式(Lifting Scheme)小波由于具有计算速度快,占用内存少,可以实现整数变换等特点,成为 JPEG2000 的首选算法。提升方案主要由分割(Split)、预测(Prediction)和更新(update)三部分组成。

LeGall(5,3)滤波器提升算法正变换的分解公式如下:

$$\begin{aligned} Y(2n+1) &= X_{\text{ext}}(2n+1) - \\ &\quad \left[\frac{X_{\text{ext}}(2n) + X_{\text{ext}}(2n+2)}{2} \right] \\ Y(2n) &= X_{\text{ext}}(2n) + \\ &\quad \left[\frac{X(2n-1) + X(2n+1) + 2}{4} \right] \quad (1) \end{aligned}$$

反变换公式为

$$\begin{aligned} X(2n+1) &= Y_{\text{ext}}(2n+1) + \\ &\quad \left[\frac{X(2n) + X(2n+2)}{2} \right] \\ X(2n) &= Y_{\text{ext}}(2n) - \\ &\quad \left[\frac{Y_{\text{ext}}(2n-1) + Y_{\text{ext}}(2n+1) + 2}{4} \right] \quad (2) \end{aligned}$$

9/7 小波提升正变换步骤的公式如下:

$$\begin{cases} Y(2n+1) \leftarrow X_{\text{ext}}(2n+1) + (\alpha g[X_{\text{ext}}(2n) + X_{\text{ext}}(2n+2)]) \\ Y(2n) \leftarrow X_{\text{ext}}(2n) + (\beta g[Y(2n-1) + Y(2n+1)]) \\ Y(2n+1) \leftarrow Y(2n+1) + (\gamma g[Y(2n) + Y(2n+2)]) \\ Y(2n) \leftarrow Y(2n) + (\delta g[Y(2n-1) + Y(2n+1)]) \\ Y(2n+1) \leftarrow KgY(2n+1) \\ Y(2n) \leftarrow (1/K)gY(2n) \end{cases} \quad (3)$$

式中, $\alpha = -1.586134$, $\beta = -0.052980$, $\gamma = 0.882911$, $\delta = 0.443506$, 式(3)共包括了4个提升步骤和两个尺度步骤, $\alpha, \beta, \gamma, \delta$ 为参数, K 为尺度系数。 $K = 1.230174$ 。反变换公式为

$$\begin{cases} X(2n) \leftarrow KgY_{\text{ext}}(2n) \\ X(2n+1) \leftarrow (1/K)gY_{\text{ext}}(2n+1) \\ X(2n) \leftarrow X(2n) - (\delta g[X(2n-1) + X(2n+1)]) \\ X(2n+1) \leftarrow X(2n) - (\gamma g[X(2n) + X(2n+2)]) \\ X(2n) \leftarrow X(2n) - (\beta g[X(2n-1) + X(2n+1)]) \\ Y(2n+1) \leftarrow X(2n+1) - (\alpha g[X(2n) + X(2n+2)]) \end{cases} \quad (4)$$

在 JPEG2000 实现中,需要两个独立的一维 DWT 模块分别实现行滤波和列滤波变换。对于二维的小波过程,为了在 FPGA 实现中最大程度地发挥流水线效率,我们分别设置两个一维变换模块作为行变换和列变换。

为了提高处理单元的运算速度,采用了流水线(pipeline)技术。首先通过插入寄存器,使一组输入数据的计算分布在几个时钟周期中,从而提高资源利用率,增加电路的数据处理量。其次,采用 Cache 存储器减小存储器带宽。存储器带宽往往是实时系统的主要瓶颈,通常有两种减小存储器带宽的方法,一种是采用 Cache 存储器,其目的是将中间结果和运算参数存入 FPGA 芯片中,以避免有片外存储器中操作,缺点是占用芯片面积大。另一种方法是直接将参数和中间结果存入 FPGA 中,该方法除了占用芯片面积外,还有一个缺点是不易修改。本文采用第一种方案,先将数据存入 SDRAM 和 SRAM 中,初始化时加载到 Cache 中。

根据式(1)~(4)的特点,结合提升 DWT 正/反变换硬件结构相同的特性。本文设计一种将 5/3 和 7/9 滤波器结合起来,通过 Nios II 软核处理器按照外部命令进行控制的可重配置结构,并通过控制命令切换正/反向滤波器系数,选择 5/3 和 7/9 滤波器。使电路共用同样结构,乘法器可由简单的移位代替,正/反向行、列变换电路分别如图 1、图 2 所示。

在图 1 和图 2 的正/反向行、列变换共用电路中,可以由选择信号 sel 控制,让电路进行正向(sel=0)或反向(sel=1)变换。而模式信号 mode 控制电路进行 5/3(mode=0)或 9/7(mode=1)小波变换。通过两个信号组合可选择小波变换所需的提升系数。这样,行方向滤波硬件电路需 8 个加法器,2 个乘法器(用移位代替),8 个 pipeline 寄存器,3 个延时寄存器。列方向滤波硬件电路需 4 个加法器,2 个乘法器(用移位代替),8 个 pipeline 寄存器,及 1 个延时寄存器。运算过程中,在每个时钟周期,从片外存储器该取 2 个数据通过寄存器依次送入各个计算模块,通过 Pipeline 寄存器进行流水线处理,从而实现每个时钟产生一对输出(L,H)。对于列方向变换,我们在一个时钟内从寄存器阵列中读取 3 个数据进行列变换操作,通过流水线处理,每个时钟可产生一对 LL, LH 或 HL, HH 输出。通过更改输入数据的顺序,逆向分解运算可以分别得到一维 5/3 整数小波与一维 9/7 浮点小波行/列方向滤波逆变换结构。在根据基于提升 DWT 正反变换硬件结构相同这个特性,通过多路选择器切换正

向或逆向滤波器系数,让电路的正/反向变换能够共 用同样结构^[3].

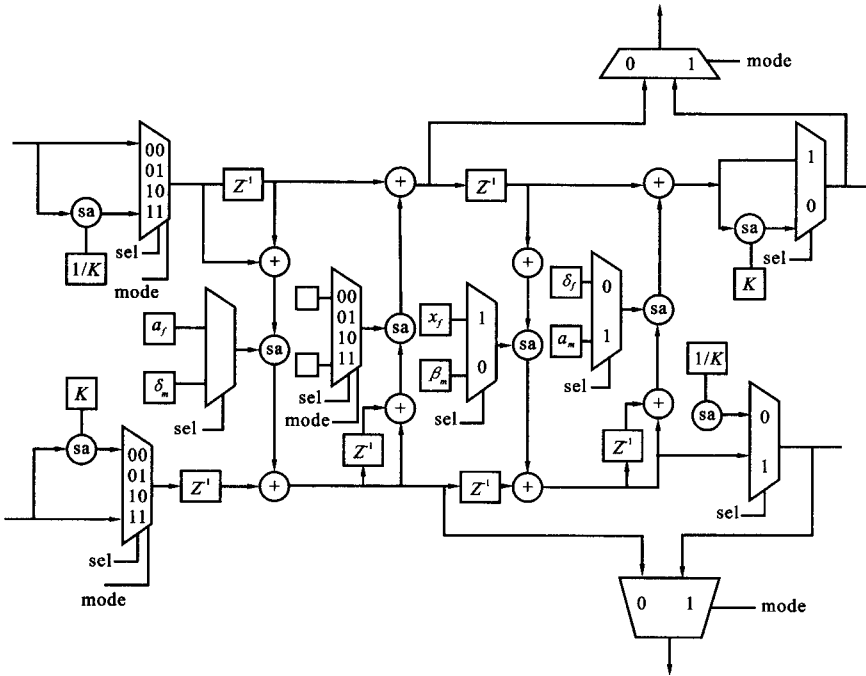


图 1 5/3 和 9/7 小波行/列方向正/反方向变换共用结构

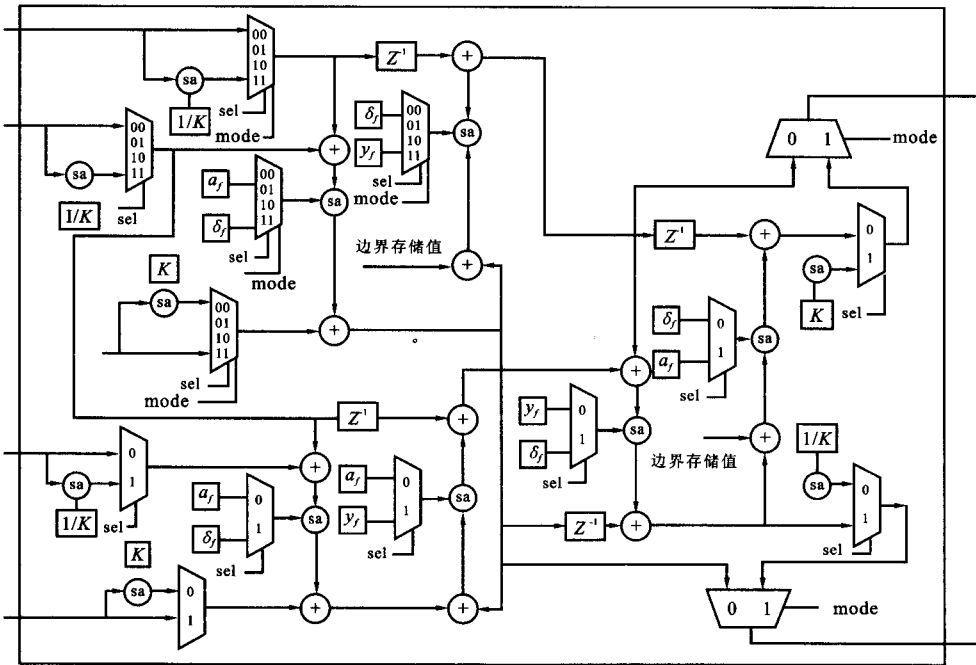


图 2 一维 5/3 和 9/7 小波行/列方向正/反方向变换共用结构

3 JPEG2000 的嵌入式位平面编码硬件设计

在 JPEG2000 中,基于码块和位平面的嵌入式编码单元(EBCOT)是系统中的关键处理模块之一. EBCOT 主要包括 Tier1 和 Tier2 模块. Tier1 是基于内容模型的算术编码器;Tier2 是对 Tier1 生成的

码流按照率失真要求进行编码控制,并组织生成原始压缩码流. Tier1 占用了大于 50%的时间. 因此, 本文提出一种采用 FPGA 加速处理 Tier1、采用软件进行处理 Tier 2 的方案,在提高处理速度的同时保证系统具有更大的灵活性.

Tier1 编码实质上是一个基于内容模型的算术

编码器. 可以分为内容模型生成过程(Context Formation, CF)和算术编码过程(Arithmetic Encoder, AE).

CF 实现方案如图 3 所示, 先将各小波子带划分为更小的可独立编码码块($32 \times 32, 64 \times 64$ 可选). 每个码块内的数据按照位平面的方式进行扫描编码. 为了实现比特平面的并行处理, 针对影响 CF 并行性的三个因素: (1)扫描顺序; (2)邻域监测; (3)状态改变, 再将每个小波系数分为一位符号平面(SBP)和数位数值平面, 每个平面由三个编码过程完成. 内容格式按虚线框所示的顺序扫描每一个平面. 然后将位平面编码数据流送入由数据符号寄存器、二态 $\sigma, \bar{\sigma}$ 存储单元和处理单元 Proc_1, Proc_2 组成的处理器. 其中数据符号存储器用于保存当前比特平面的符号和数值, 由两个 4 kB 的存储器组成. 每处理一个码块, 符号存储器更新一次. 状态变

量存储单元保存码块中每一个样本的两个状态变量, 其中重要状态变量 $\sigma(n)$ 用于表示样本 n 的重要性, $\sigma(n)$ 初值为 0, 当样本为重要样本时, $\sigma(n)=1$; 精细数值状态变量 $\bar{\sigma}(n)$ 表示样本是否为精细样本, 初值为 0, 当样本为精细样本时, $\bar{\sigma}(n)=1$. 处理单元 Proc_1, Proc_2 并行完成重要性传播通道(Pass1), 幅度细化通道(Pass2)和清除通道(Pass3)的处理过程, Proc_1 由三个内部寄存器 Reg1、2、3 组成, 每当寄存器被更新后, Proc_1 首先检查当前行中的四个值是否属于 Pass1, 若不属于 Pass1, 跳过整个行, 开始处理下一行. 若有任何一个样本属于 Pass1, 则进行处理, 结果送缓存器. Proc_2 收到来自缓存器数据后, 进行判断, 若所有采样属于 Pass2, 则用 MRC 编码; 若采样属于 Pass2 和 Pass3 时, 则用 ZC 编码; 若采样全部属于 Pass3, 则用 RL 编码; 最后生成内容决策对(CX, D).

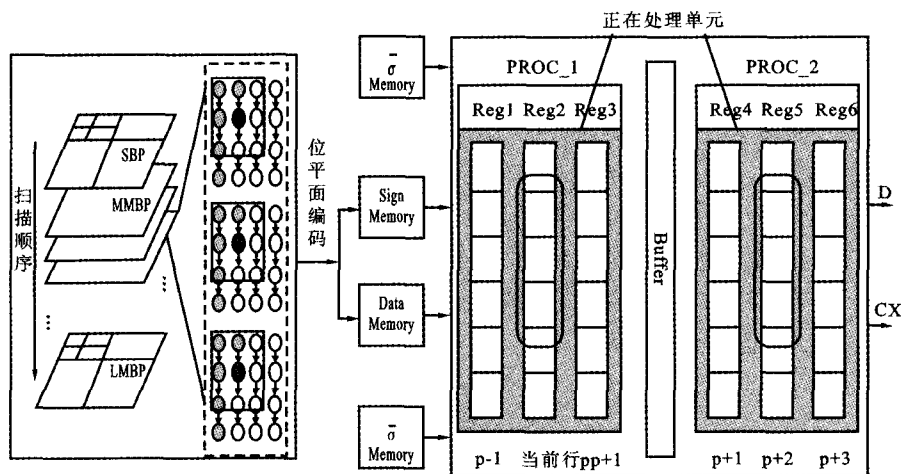


图3 内容模型生成过程

对算术编码器的实现根据文献[4-5]提出一种改进的流水线结构, 如图 4 所示. 整个编码过程基于一个三级操作, 各级操作如下:

第一级, 根据输入的编码数据(D)和对应的内容模型(CX)选取相应的概率值(Q_e), 生成相应的大概率符号 NMPS 编码或概率符号 NLPS 编码; 同时给出对应于区间判断的信息 LB.

第二级: 根据第一级中生成的概率信息(Q_e)和区间判断标志信息(LB), 生成新的区间(A)和对应新区间的初始值(Anew). 然后, 根据 Shift 标志信息确定是否需要规格化操作. 实现 NLPS 编码时, 先统计出新区间 Anew 的最高有效位“0”的个数(ZC), 作为将要移位的次数. 再将计算出的新区间 Anew, 最后完成所有的移位操作. 产生 Shift 输出.

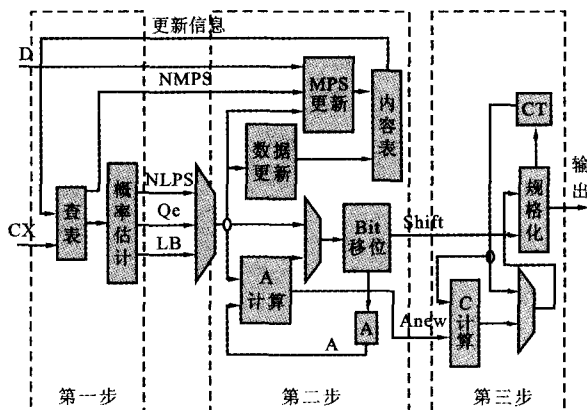


图4 算术编码器流水线结构

第三级: 计算寄存器 C 和计数器 CT 的值完成数据规格化, 对整个码块的每个比特进行编码. 结束

据,还可以在远方对现场设备进行诊断和软件升级,具有快速、方便、灵活、可靠的特点^[8].因此本文所做的研究很有意义.

本系统将 TCP/IP 协议应用于了无线传感网络系统,实现了无线传感网络与以太网的无缝结合,使得用户能通过以太网远程监控各种设备,为“物联网”的实现提供了一个可行性方案.该系统中无线局域网覆盖范围在 100 m 之内,可用于单个车间或仓库中,多个车间或仓库可通过交换机或路由器与 PC 组建成局域网,由管理人员通过本地 PC 远程管理多个车间或仓库,极大地提高工作效率.由于本系统采用以太帧格式发送数据,数据长度较长,因此相应节点的功耗也会增加,故本系统适用于能够提供稳定电源且传输速率不高的场合.

目前,本系统已经成功应用于粮仓管理监控系统中,系统运行情况良好.本系统还可应用于智能家居、远程医疗、远程监控等场合,有着广泛的应用前景.

参考文献:

- [1] 汤宏萍,王竹平. 嵌入式 TCP/IP 协议栈的设计与实现[J]. 微电子学与计算机, 2008, 25(6): 168—170.
- [2] 王保云. 物联网技术研究综述[J]. 电子测量与仪器学报, 2009, 23(12): 1—7.
- [3] Shu Lei, Wu Xiaoling, Xu Hui, et al. Connecting heterogeneous sensor networks with IP based wire wireless

networks[C]// The 4th IEEE Workshop on Collaborative Computing, Integration, and Assurance. Gyeongju: IEEE, 2006: 1—6.

- [4] Adam Dunkels, Juan Alonso, Thiemo Voigt. Making TCP/IP viable for wireless sensor networks[C]// ISL Researcher, Berlin: EWSN, 2007.
- [5] 王宜怀. 基于 32 位 ColdFire 构建嵌入式系统[M]. 北京: 电子工业出版社, 2009.
- [6] Pei Zhongmin, Deng Zhidong. Application-oriented wireless sensor network communication protocols and hardware platforms: a survey[C]// IEEE International Conference on Industrial Technology, 2008. IEEE, Chengdu: IEEE, 2008: 1—6.
- [7] 于海滨, 曾鹏. 分布式无线传感网络协议研究[J]. 通信学报, 2004, 25(10): 102—110.
- [8] 刘海峰. 基于 DSP 的 TCP/IP 协议的应用研究[J]. 微电子学与计算机, 2006, 23(2): 179—181.

作者简介:

顾霞萍 女, (1986—), 硕士研究生. 研究方向为嵌入式系统应用.

赵伟 男, (1985—), 硕士研究生. 研究方向为嵌入式系统应用.

王宜怀 男, (1962—), 博士, 教授, 硕士生导师. 研究方向为嵌入式系统、智能控制.

钱仇圣 男, (1983—), 硕士研究生. 研究方向为嵌入式系统应用.

(上接第 78 页)

到基于 JPEG2000 标准的静态图像压缩系统, 以及其他基于小波变换或基于位平面的熵编码的多媒体处理系统中.

参考文献:

- [1] Kishor Sarawadekar, Swapna Banerjee. Efficient VLSI architecture for bit plane encoder of JPEG2000[C]// ICIP 2009. Cairo Egypt: IEEE, 2009: 2805—2808.
- [2] Mei Kuizhi, Zheng Nanning. VLSI design of a high-Speed and area-efficient JPEG2000[J]. IEEE Trans on Circuits and System For Video Technology, 2007, 17(8): 1065—1078.
- [3] Gregory Dillen, Benoit Georis. Combined line-based

architecture for the 5—3 and 9—7 wavelet transform of JPEG2000[J]. IEEE Trans on Circuits and System For Video Technology, 2003, 13(9): 944—950.

- [4] Damecharla H B, Bell A E. FPGA based EBCOT architecture for JPEG 2000[J]. IEEE Trans On Circuits and Systems — I, 2008, 55(11): 3711—3722.
- [5] Manjunath Gangadhar. FPGA based EBCOT architecture for JPEG 2000[J]. Microprocessors and Microsystems, 2005(1): 363—373.

作者简介:

王怡健 女, (1985—), 硕士研究生. 研究方向为微电子学与固体电子学.